

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 57159013  
PUBLICATION DATE : 01-10-82

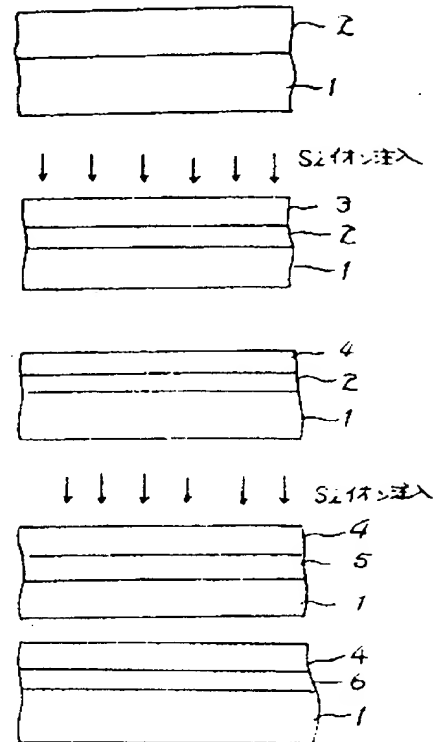
APPLICATION DATE : 27-03-81  
APPLICATION NUMBER : 56044021

APPLICANT : TOSHIBA CORP;

INVENTOR : YOSHII TOSHIO;

INT.CL. : H01L 21/20 H01L 21/263

TITLE : MANUFACTURE OF  
SEMICONDUCTOR THIN FILM



BEST AVAILABLE COPY

ABSTRACT : PURPOSE: To improve the mobility of carrier by employing the formation of amorphous state from polycrystalline semiconductor due to ion implantation of semiconductor forming element and solid phase regrowth (epitaxial), thereby increasing the crystalline grain size.

CONSTITUTION: A polycrystalline Si layer 2 is accumulated by thermal decomposition of  $\text{SiH}_4$  on an insulating substrate 1 and is heat treated. When Si ions A are implanted in this wafer, it becomes amorphous Si layer from the surface. This wafer is heat treated to polycrystallize the amorphous Si layer 3 on the surface. Then, Si ions B are implanted to form amorphous state to the boundary with  $\text{SiO}_2$  in the portion deeper than the prescribed depth from the surface being polycrystalline and to further heat treat it to grow the crystalline grains. This epitaxial growth is repeated, thereby obtaining a semiconductor thin film having large and flat crystalline grains.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑫ 公開特許公報 (A) 昭57-159013

⑪ Int. Cl.<sup>3</sup>  
 H 01 L 21/20  
 21/263

識別記号

庁内整理番号  
 7739-5F

⑬ 公開 昭和57年(1982)10月1日

発明の数 1  
 審査請求 未請求

(全 4 頁)

⑭ 半導体薄膜の製造方法

⑮ 特 願 昭56-44021

⑯ 出 願 昭56(1981)3月27日

⑰ 発 明 者 大村八通

川崎市幸区小向東芝町1東京芝  
 浦電気株式会社総合研究所内

⑱ 発 明 者 吉井俊夫

川崎市幸区小向東芝町1東京芝  
 浦電気株式会社総合研究所内

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

半導体薄膜の製造方法

2. 特許請求の範囲

基板上に多結晶半導体膜を堆積し、加速イオンを照射することにより一定深さに多結晶層を残して前記多結晶半導体膜をアモルファス化し、然る後熱処理を行なつて前記多結晶層よりアモルファス層を固相エピタキシャル成長させることにより結晶粒径を増大せしめることを特徴とする半導体薄膜の製造方法。

3. 発明の詳細な説明

本発明は基板上の半導体薄膜、特にキャリア移動の高い半導体薄膜の製造に関する。

従来例えば絶縁基板上の半導体単結晶膜は SOG (サファイア上シリコン) にみられるようにバルク半導体に比し、優れた利点を有することが知られている。すなわち①島状に切断或は導電体分離をするときは素子分離が完全且つ容易である。④不純物をドーピングして基板界面にまで通ずるときは

P-n 接合面積が著しく小さく、従つて浮遊容量が小さくなり高速動作が可能。③ MOS インバータを形成するときは基板バイアス効果がないためスイッチング速度が大きい等である。

SOG は単結晶サファイアを使用するため高価となるので、熔融水晶板や、Si ウエハを酸化して形成したアモルファス SiO<sub>2</sub> や Si 上に堆積した BIN 膜上に半導体膜を更に堆積したものを使用する試みがある。これら SiO<sub>2</sub> や BIN は単結晶でないでこの上に半導体単結晶膜を成長出来ず、多結晶膜が成長するのみである。この多結晶粒径は数百 Å 程度で、この上に MOS トランジスタを形成してもその移動度はバルク Si 上の MOS の数十分の一程度である。最近レーザーや電子ビームを細く絞つて膜上を線状に走査し、熔融、固化を行なわせることにより結晶粒径を増大せしめ得る方法が発表されている。このような方法では数 μm の結晶粒のものも得られ、而してこのような薄膜上に形成したロゲヤネル MOS トランジスタでは電界効果移動度の最大が 450 cm<sup>2</sup>/vsec と、バルク上のそれ

特開昭57-159013 (2)

の半分にも達するものも得られている。

しかしながらこのような方法で得られた薄膜デバイスには次のような欠点が見られる。すなわち上述の MOS トランジスタはチャネル巾  $W = 200\mu\text{m}$ 、チャネル長  $L = 100\mu\text{m}$  といつた大面積の素子であるが、これが  $W = 10\mu\text{m}$ 、 $L = 6\mu\text{m}$  といつた小面積の MOS トランジスタの場合、確かに移動度が  $450\text{cm}^2/\text{V}\cdot\text{sec}$  程度のものがある一方で数十  $\text{cm}^2/\text{V}\cdot\text{sec}$  しかない素子や、ソース・ドレイン間の残留リーク電流の多い素子が多数あることである。このような素子の BSM 観察を行ない、又、ウエハ上の分布を調べてみるとデバイス製作前のウエハ上の凸凹に作られた場合やレーザービームや電子ビームの走査帯のへりに沿つて存在する場合であることが判つた。これはこのようなエネルギービームによる走査では前述のように薄膜、固化を伴うので結晶粒が始めの平坦な多結晶面から突出し、或は隆起する場合を生じ凸凹になる。

本発明はこのような事情に鑑みてなされたもので、薄膜の凸凹を生じないで結晶粒の大きい優れ

た薄膜が得られる方法を提供するものである。本発明においては半導体構成元素のイオン注入による多結晶半導体のアモルファス化と固相再成長(エピタキシャル)を利用する。

以下実施例により説明する。

(100) Si ウエハを強性酸化し、 $1\mu\text{m}$  の  $\text{SiO}_2$  を成長して絶縁性基板(1)を形成する(第1図)。この上に  $\text{SiH}_4$  の  $650\sim 700^\circ\text{C}$  の熱分解により  $3500\text{\AA}$  の多結晶 Si 層(2)を増殖し、 $1000^\circ\text{C}$  で 20 分熱処理する。このウエハを  $90\text{KV}$ 、 $5\times 10^{10}/\text{cm}^2$  のドーズで Si イオン注入する。イオン注入時のウエハ温度は  $100^\circ\text{C}$  以下であれば良いがこの場合、ウエハ冷却装置により約  $20^\circ\text{C}$  に保つた(第2図)。表面を値かづつエッチし、電子線回折を観察することにより  $\text{SiO}_2$  側の約  $1000\text{\AA}$  を残し表面からアモルファス Si 層になつてゐることが判つた。このウエハを  $600^\circ\text{C}$  2 時間熱処理した後の表面の電子線回折では表面のアモルファス Si 層(3)は多結晶化してゐることが判つた(第3図)。このウエハを  $\text{NH}_4\text{F}$  に浸し、多結晶 Si 層(4)下の  $\text{SiO}_2$  をとかし、膜

を透過型電子顕微鏡で観察した。イオン注入前には  $400\text{\AA}$  程度の結晶粒径であつたが  $1000\text{\AA}$  以上に達しているのが判つた。

このような熱処理後のウエハを次に  $200\text{KV}$ 、 $5\times 10^{10}/\text{cm}^2$  で Si をイオン注入する(第4図)。表面のエッチングと電子線回折により表面から約  $500\text{\AA}$  までは多結晶であるがそれより深部は  $\text{SiO}_2$  との界面に至るまでアモルファス化していることが判つた。このウエハを  $600^\circ\text{C}$  1 時間、 $1000^\circ\text{C}$  30 分熱処理した(第5図)。結晶粒はさらに成長した。

次に最初に行なつたイオン注入を再び行なつた。但し Si イオンドーズは  $1\times 10^{10}/\text{cm}^2$  であつた。表面から約  $23\mu\text{m}$  がアモルファス化したことが明らかとなつた。このウエハを  $600^\circ\text{C}$ 、1 時間、 $1000^\circ\text{C}$  30 分熱処理後、第2のイオン注入と同じく  $200\text{KV}$  で Si を  $1\times 10^{10}/\text{cm}^2$  イオン注入し、同上のアニールをした。このようにして第3回目のイオン注入からはドーズを  $1\times 10^{10}/\text{cm}^2$  と減少して行なつた。第5回目のイオン注入、アニールの終つた Si 薄膜を透過電子顕微鏡で観察した所結晶粒が

更に成長しており平均の粒径は  $8000\text{\AA}$  であつた。又7回目のイオン注入、アニール後の薄膜では結晶粒径は  $3\mu$  に達した。又、このようにエピタキシャル成長を繰り返すことにより、結晶粒の方位については(100)面が薄膜面に平行に揃うようになることが判つた。この薄膜上にチャネル巾  $W = 400\mu\text{m}$ 、チャネル長  $L = 100\mu\text{m}$ 、および  $W = 6\mu\text{m}$ 、 $L = 3\mu\text{m}$  の大小の n チャネル MOS トランジスタを製作した。大きいトランジスタでは電界効果移動度は  $500\text{cm}^2/\text{V}\cdot\text{sec}$  を示した。又小トランジスタでは  $480\text{cm}^2/\text{V}\cdot\text{sec}$  であり、標準偏差は  $20\text{cm}^2/\text{V}\cdot\text{sec}$  であつた。この小トランジスタの値は、cw レーザーアニールにより結晶粒を大きくした場合の平均値  $400\text{cm}^2/\text{V}\cdot\text{sec}$ 、標準偏差値  $70\text{cm}^2/\text{V}\cdot\text{sec}$  および電子ビームアニールによる薄膜での平均値  $420\text{cm}^2/\text{V}\cdot\text{sec}$ 、標準偏差値  $70\text{cm}^2/\text{V}\cdot\text{sec}$  より優れた値であることが判つた。

次に Si ウエハ上に、 $\text{SiH}_4$  と  $\text{NH}_3$  の熱分解により  $3000\text{\AA}$  厚の  $\text{Si}_3\text{N}_4$  を増殖し、この上に低圧 CVD で多結晶 Si を  $4000\text{\AA}$  増殖し  $1000^\circ\text{C}$  で 30 分  $\text{O}_2/\text{N}_2 = 10/1$  の雰囲気中熱処理し、 $\text{NH}_4\text{F}$  で表面を清

特開昭57-159013(3)

cd/v<sup>1/2</sup>、標準偏差 20cd/v<sup>1/2</sup>であつた。

浄にした後  $90\text{K}, 5 \times 10^{14}/\text{cm}^2$  の Si イオン注入を実施例 1 の如くに行なつた。Ar レーザー  $4880\text{\AA}$ , 9W のビームを  $120\mu\text{m}$  に絞り、 $5\text{cm}/\text{sec}$  の速度で走査した。横方向に  $50\mu\text{m}$  づゝずらして行なつた。表面電子線回折から、このレーザーアニールによりアモルファス層は多結晶化していることが判つた。次に実施例 1 の第 2 の Si イオン注入を行ない、同上的ように Ar  $4880\text{\AA}$  レーザービームで走査した。次に実施例 1 の第 3 の Si イオン注入を行ない、Ar レーザー処理後、半導体薄膜をはがし透過電子顕微鏡観察を行なつた所結晶粒は  $3000 \sim 5000\text{\AA}$  に成長しているのが見られた。このウエハを更に第 3, 第 4, 第 5 …… 第 7 の Si イオン注入とアニールを行なつた。アニールは  $5\text{KV}$   $2\text{mA}$  の電子線を  $100\mu\text{m}$  に絞り  $10\text{cm}/\text{sec}$  で、横方向に  $50\mu\text{m}$  づゝずらしながら照射した。第 7 図目のアニール後透過電子顕微鏡により結晶粒は  $5\mu\text{m}$  の粒径に成長したことが判つた。このウエハに実施例 1 のようなロチャネル MOS トランジスタを形成しその電子電界効果移動度を測定した所、小トランジスタは  $430$

次に本発明の、固相成長による多結晶の粒径成長を考察すると、始の多結晶粒は、表面に各種ガス、不純物の吸着、或は表面再構成により、隣接の結晶と干渉せず、高温にしても結晶粒成長がないものと考えられる。Si イオン注入によりこれら結晶粒表面の不純物が recoil され、多結晶はアモルファスとなる。次に  $600^\circ\text{C}$  程度の加熱、又はビーム走査によるアニールにより、アモルファス層に隣接している微小結晶から固相エピタキシャル成長が始まるものと考えられる。固相エピタキシャル成長は原子の原子間距離程度の移動で起り、溶融固化のような物質移動がないから表面は堆積時のそれと変わらず平滑であると考えられる。更に、固相成長は  $500^\circ\text{C}$  程度の低温で可能なので、デバイスを構成したウエハ上に絶縁膜をつけその上に更に本発明の方法ですぐれた薄膜を堆積しこれを繰り返してデバイスを幾重にも、下層デバイスに熱的影響を与えずに製作することが出来る。

このように本発明に依れば、平坦な結晶粒の大

きな半導体薄膜を提供することができる。

尚、元素半導体 Si で説明したが Ge 或は GaAs 薄膜に Ga, As 等をイオン注入することでも同様な効果は達成される。基板を絶縁物としたが金属でも良い。又注入イオンは、アモルファス化し、固相エピタキシャル成長を行なえるものであれば構わないことは言うまでもない。

例えば Ar などの不活性ガスを用いてもよい。又、ドーズ量は実施例に限らず  $1 \times 10^{14} \sim 10^{16}/\text{cm}^2$  で同様の効果をあげることができた。

熱処理は  $400^\circ\text{C}$  で実施例と同様の効果が得られ、雰囲気によつて効果がそこなわれることはない。

#### 4. 図面の簡単な説明

第 1 図は基板上に堆積多結晶 Si を形成した断面図、第 2 図は Si イオン注入により表面付近のみアモルファス化した断面図、第 3 図は固相成長によりアモルファス層の結晶粒粗大化をはかつた断面図、第 4 図は Si イオン注入により表面を残してアモルファス化した断面図、第 5 図は固相成長

により結晶粒粗大化をはかつた図である。

図に於いて、

- 1 … 基板                      2, 4, 6 … 多結晶 Si 層  
3, 5 … アモルファス Si 層

(7317) 代理人 弁理士 則 近 康 佑 (ほか1名)

